

【特許請求の範囲】

【請求項1】信号電荷転送部とリセットドレインとの間に設けられ、信号電荷転送部からの信号電荷を一時的に蓄積する浮遊拡散層と、この浮遊拡散層にゲートが電気的に接続された信号電位設定用トランジスタと、この信号電位設定用トランジスタのソースに接続され、該トランジスタの信号出力を低インピーダンス化する出力回路とを具備してなり、

前記信号電位設定用トランジスタのドレイン端子に所定のパルスを印加して、前記出力回路の入出力端子の電位をリセットすることを特徴とする信号電荷検出器。

【請求項2】信号電荷転送部とリセットドレインとの間に設けられ、信号電荷転送部からの信号電荷を一時的に蓄積する第1導電型の浮遊拡散層と、この第1導電型の浮遊拡散層上の全面に設けられた第2導電型の浮遊拡散層と、この第2導電型の浮遊拡散層と電気的に接続され、前記第1導電型の浮遊拡散層に蓄積された信号電荷を信号電圧として出力する出力回路とを具備してなることを特徴とする信号電荷検出器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CCD型撮像素子等に使用される信号電荷検出器に係わり、特にフローティング・ディフュージョン型の信号電荷検出器に関する。

【0002】

【従来の技術】近年、被写体を撮像して画像信号を得るものとして、CCD型の固体撮像素子が用いられている。この種の固体撮像素子においてCCDの最終段から信号電荷を出力するには、図8に示すような電位の井戸1の中に信号電荷2を注入し、注入前の電位レベルV1と注入後の電位レベルV2との差 ΔV_s を検出して出力する。このとき、電位レベルV3、V4は、電位の井戸1を形成するためのバリアレベルである。従って、 ΔV_s が大きいほど検出感度が高くなるわけであるが、電位の井戸1には周辺のゲート電極等との寄生容量3があり、この容量3が電位の井戸1自身の容量よりも非常に大きい場合、 ΔV_s が大きくとれなかった。

【0003】図9は、最近のCCD型固体撮像素子に広く使用されている信号電荷検出器の一例で、フローティング・ディフュージョン型検出部とソースホロワ型電子回路から構成されている。

【0004】フローティング・ディフュージョン型検出部は、n型半導体基板10上にp型ウェル11、n型埋込みチャンネル12、浮遊拡散層（フローティング・ディフュージョン部）13及びドレイン14を形成し、さらにこれらの上に絶縁膜15を介してゲート電極16、17を形成して構成される。浮遊拡散層13が図8に示した電位の井戸1に相当し、ゲート電極16、17によって同じく図8の電位レベルV3、V4に相当するバリアレベルが形成される。

【0005】ソースホロワ型電子回路は、ドライブトランジスタ21及びロードトランジスタ22を直列接続してなる1段目のソースホロワ回路と、ドライブトランジスタ23及びロードトランジスタ24を直列接続してなる2段目ソースホロワ回路、とからなる。また、浮遊拡散層13と1段目のソースホロワ回路のドライブトランジスタ21のゲートは信号線20で接続されている。

【0006】上記の構成においては、ドライブトランジスタ21のゲート・ドレイン間の寄生容量C1、ゲートの寄生容量C2及びゲート・ソース間の寄生容量C3が浮遊拡散層13に結合しており、これが信号出力 ΔV_s を大きく取れない要因となっていた。

【0007】これら、寄生容量の中で一番大きなものは、ゲート寄生容量C2であるが、ドライブトランジスタ21のゲートサイズはドレイン電流をある一定量以上流すために、小さくすることができないので、トランジスタのサイズを小さくすることで、前記寄生容量を小さくすることは不可能であった。

【0008】一方、浮遊拡散層13は、信号線20でドライブトランジスタ21と電気的に接続されているが、この信号線20とコンタクトを取るために、高濃度の不純物を注入しなければならない。このため、浮遊拡散層13を完全に空乏化するのは不可能であった。図10にフローティング・ディフュージョン型検出部における電位分布図を示す。信号電荷はゲート16を通り、浮遊拡散層13に転送され、信号電荷量に対応した電位変化が検出される。このとき、リセットゲート17はオフしている。検出された電荷は、ゲート17をオンしてドレイン14へ排出することによりリセットされるが、浮遊拡散層13は完全空乏化していないため、ゲート17下のチャンネルの抵抗を介して熱雑音が発生し、浮遊拡散層13の電位が幅 ΔV_n だけ変動することにより、出力信号の雑音が大きくなるという欠点があった。

【0009】

【発明が解決しようとする課題】このように従来、固体撮像素子の信号電荷検出器においては、ソースホロワ回路のドライブトランジスタのゲートに結合する寄生容量が大きい場合、信号出力を大きく取れない問題があった。また、浮遊拡散層において熱雑音が発生するため、出力信号の雑音が大きくなるという問題があった。

【0010】本発明は、上記事情を考慮してなされたもので、その目的とするところは、ソースホロワ回路のドライブトランジスタのゲートに結合する寄生容量を低減することができ、信号出力を大きく取ることが可能な信号電荷検出器を提供することにある。

【0011】また、本発明の他の目的は、浮遊拡散層における熱雑音の発生を防止することができ、出力信号のSN比向上をはかり得る信号電荷検出器を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明では、次のような構成を採用している。

【0013】即ち、本発明（請求項1）は、信号電荷転送部とリセットドレインとの間に設けられ、信号電荷転送部からの信号電荷を一時的に蓄積する浮遊拡散層と、この浮遊拡散層にゲートが電気的に接続された信号電位設定用トランジスタと、この信号電位設定用トランジスタのソースに接続され、該トランジスタの信号出力を低インピーダンス化する出力回路とを備えた信号電荷検出器であって、信号電位設定用トランジスタのドレイン端子に所定のパルスを印加して、出力回路の入出力端子の電位をリセットすることを特徴としている。

【0014】また、本発明（請求項2）は、信号電荷転送部とリセットドレインとの間に設けられ、信号電荷転送部からの信号電荷を一時的に蓄積するフローティング・ディフュージョン部と、このフローティング・ディフュージョン部に電気的に接続され、浮遊拡散層に蓄積された信号電荷を信号電圧として出力する出力回路とを備えた信号電荷検出器において、フローティング・ディフュージョン部を、信号電荷の蓄積に供される第1導電型の浮遊拡散層と、この浮遊拡散層と出力回路を電気的にコンタクトを取るために該浮遊拡散層上の全面に設けられた第2導電型の浮遊拡散層とから構成するようにしたものである。また、本発明（請求項2）の望ましい実施態様としては、次の(1)～(3)が挙げられる。

- (1) 第2導電型の浮遊拡散層の電位をリセットするリセットトランジスタを設けること。
- (2) リセットトランジスタをオンするタイミングを、固体撮像素子の水平走査期間の整数倍としたこと。
- (3) リセットトランジスタをオンするタイミングが、固体撮像素子の垂直走査期間の整数倍としたこと。

【0015】

【作用】本発明（請求項1）においては、浮遊拡散層からの出力信号電圧は信号電位設定用トランジスタを介して、出力回路としてのソースホロワ回路のドライブトランジスタに入力している。信号電位設定用トランジスタに流れるドレイン電流は非常に小さくできるので、トランジスタゲートサイズを小さくすることが可能である。従って、ソースホロワ回路のドライブトランジスタのゲートサイズを小さくすることなく、浮遊拡散層に結合する寄生容量を小さくすることが可能であり、大きな信号出力を取り出すことができる。また、信号電位設定用トランジスタを用いて出力回路の入出力端子の電位をリセットすることにより、連続して転送される信号電荷を検出することが可能となる。

【0016】また、本発明（請求項2）においては、フローティング・ディフュージョン部を、信号電荷を蓄積、転送するための第1導電型の浮遊拡散層と、出力回路と電気的に接続するための第2導電型の浮遊拡散層とから構成しているので、第2導電型の浮遊拡散層の不純

物濃度を高くしておけば、第1導電型の浮遊拡散層の不純物濃度は低くすることができる。従って、第1導電型の浮遊拡散層の完全空乏化が可能となり、信号電荷を完全にドレインに排出でき、フローティング・ディフュージョン部における熱雑音をなくすることが可能となる。

【0017】

【実施例】図1は、本発明の第1の実施例に係わる信号電荷検出器を示す概略構成図である。検出部100は、n型半導体基板10上にp型ウェル11、n型埋込みチャンネル12、浮遊拡散層（FD部）13及びドレイン14を形成し、さらにこれらの上に絶縁膜15を介してゲート電極16、17を形成して構成される。浮遊拡散層13は信号電位設定用トランジスタ25のゲートに接続され、その出力端子（ソース）はソースホロワ型電子回路200に接続される。

【0018】ソースホロワ型電子回路200は、2段のソースホロワ回路から構成されている。1段目のソースホロワ回路は、ゲートに信号電位設定用トランジスタ25の電気信号を入力するドライブトランジスタ21と、ゲート・ソースを接続した出力用のロードトランジスタ22とを直列接続して構成される。同様に、2段目のソースホロワ回路は、1段目のソースホロワ回路の出力をゲートに入力するドライブトランジスタ23と、出力用のロードトランジスタ24とを直列接続して構成される。ドライブトランジスタ21、23のドレインはドレイン電源VDDに接続され、ロードトランジスタ22、24のソースはグラウンドレベルGNDに接続されている。

【0019】また、ドライブトランジスタ21の電位をリセットするために、信号電位設定用トランジスタ25のドレイン端子には、パルス信号電圧26が印加される。図2(a)(b)は、ドライブトランジスタ21のゲート電位27、信号電位設定用トランジスタ25のチャンネル電位28及びドレイン電位29を概略的に示したものである。

【0020】図2(a)の電位関係は、ドレイン電位29をチャンネル電位28より高くすることで、ドライブトランジスタ21のゲート電位27をチャンネル電位28に規定している状態を示している。なお、チャンネル電位28は、浮遊拡散層13から信号電位設定用トランジスタ25に入力される信号電圧により決まるので、この動作により信号の読み出しを行うことになる。

【0021】図2(b)はドレイン電位29をチャンネル電位28より低くすることで、ドライブトランジスタ21のゲート電位27をドレイン電位29にリセットしている状態を示している。この動作により、各信号毎にドライブトランジスタ21のゲート電位をリセットすることが可能になる。

【0022】このように本実施例によれば、浮遊拡散層13の信号出力をゲートサイズの小さい信号電位設定用トランジスタ25に入力し、信号検出を行うことで、浮

10

20

30

40

50

遊拡散層13に結合する寄生容量を小さくし、大きな信号出力を得ることができる。また、ドライブトランジスタ21のゲート電位27は、信号電位設定トランジスタ25のドレインにパルス電圧26を印加することでリセットすることが可能であり、連続した信号パケットの電荷検出が可能となる。

【0023】図3は、本発明の第2の実施例に係わる信号電荷検出器を示す概略構成図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、信号検出部101をフローティングゲート型検出器とした例である。即ち、図1の浮遊拡散層13の代わりに、信号電位検出電極18及び制御電極19を配置し、信号検出電極18と信号電位設定用トランジスタ25が接続されている。

【0024】このような構成であっても、信号検出電極18に結合する寄生容量を小さくすることができるので、第1の実施例と同様に大きな信号出力を取り出すことが可能である。

【0025】図4は、本発明の第3の実施例に係わる信号電荷検出器を示す概略構成図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。検出部102は、n型半導体基板10上にp型ウェル11、n型埋込みチャネル12、第1導電型の浮遊拡散層13(n型)、第2導電型の浮遊拡散層19(p型)及びドレイン14を形成し、さらにこれらの上に絶縁膜15を介してゲート電極16、17を形成して構成される。なお、浮遊拡散層19は浮遊拡散層13上の全面に形成されている。また、ソースホロワ型電子回路200は、図1と同様に2段のソースホロワ回路から構成されている。

【0026】ここで、フローティング・ディフュージョン部は、出力回路200と電気的に接続するための高濃度のp型半導体領域19と、信号電荷を蓄積、転送するため低濃度のn型半導体領域13から構成されている。この構成によりフローティング・ディフュージョン部は、出力回路200との電気的接続と浮遊拡散層13の完全空乏化を同時に実現できる。

【0027】図5に、検出部102における電位分布を示す。信号電荷はゲート16下を通過して浮遊拡散層13に転送され検出される。この後、ゲート17をオンすることで信号電荷はドレイン14へ排出される。このとき、浮遊拡散層13は完全空乏化しているため、信号電荷を全てドレイン14へ排出することが可能で、熱雑音は発生しない。

【0028】このように、フローティング・ディフュージョン部の出力回路と電気的に接続する部分と、信号電荷を検出する部分とを分けて、信号電荷の完全転送を実現することで、従来のフローティング・ディフュージョン部で発生していた熱雑音をなくすことが可能となる。

【0029】ところで、p型半導体領域19には、暗電

流により正孔が蓄積していくため電位変動が起るので、ある周期でリセットする必要がある。このリセットをリセットトランジスタ35により行い、リセットパルスがパルス発生器37より印加されたとき、ドレイン電圧36にリセットされる。しかし、このリセット動作を行なうと、p型半導体領域19は完全空乏化していないために、前述したものと同一熱雑音が発生する。

【0030】しかし、固体撮像素子の信号処理においては、オプティカルブラックと呼ばれる黒レベル設定画素が各水平1ライン毎にあり、その黒レベルを基準にして各画素の信号レベルを検出している。従って、p型半導体領域19の電位のリセットを固体撮像素子の水平走査期間の整数倍或いは垂直走査期間の整数倍で行えば、黒レベルを基準としたクランプ処理により、p型半導体領域19の熱雑音は取り除くことが可能となり、信号検出時の低雑音化が可能となる。

【0031】図6に、図4に示した信号検出器の平面パターン図を示す。n型CCD埋込みチャネル12を転送されてきた電荷は、出力ゲート16下を通過し、第1導電型の浮遊拡散層13に入り、その電位を変動させる。変動した電位は第2導電型の浮遊拡散層であるp型半導体領域19に伝わり、さらに信号線20に伝わって、MOSトランジスタ21～24で構成されるソースホロワ型出力回路から出力される。

【0032】検出された電荷は、リセットゲート17をONすることでリセットドレイン14へ排出される。なお、p型半導体領域19をpウェル11と分離するために、n型チャネル12より薄い不純物濃度のnウェル50が形成されている。また、信号線20は、p型チャネルのリセットトランジスタ35に接続され、パルス発生器37より発生したパルス電圧をゲートに印加することにより、p型半導体領域19の電位がドレイン電圧36にリセットされる。

【0033】なお、図6の構成では、リセットトランジスタ35の寄生容量が浮遊拡散層13にカップリングし、検出感度を下げることになる。そこで、図7に示すように、リセットトランジスタ35を、浮遊拡散層13に隣接して形成することにより、寄生容量を小さくし、検出感度をより大きくすることも可能である。

【0034】このように本実施例によれば、フローティング・ディフュージョン部を信号電荷を蓄積、転送するための第1導電型の浮遊拡散層と、出力回路と電気的に接続するための第2導電型の浮遊拡散層で形成しているため、第1導電型の浮遊拡散層の不純物濃度を低くして完全空乏化が可能となり、フローティング・ディフュージョン部における雑音をなくすことができる。このため、出力信号のSN比の向上をはかることができる。また、本実施例では、第1導電型の浮遊拡散層13上の一部ではなく全面を第2導電型の浮遊拡散層19としているため、浮遊拡散層19の形成によって電位ポケットが

発生する等の不都合を未然に防止することができる。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0035】

【発明の効果】以上詳述したように本発明（請求項1）によれば、浮遊拡散層と出力回路との間に信号電位設定用トランジスタを設けることにより、浮遊拡散層に結合する寄生容量を小さくすることができ、信号出力を大きく取ることが可能な信号電荷検出器を実現することが可能となる。

【0036】また、本発明（請求項2）によれば、フローティング・ディフュージョン部を第1導電型の浮遊拡散層とその上の第2導電型の浮遊拡散層の2層に形成しているので、従来装置でフローティング・ディフュージョン部に発生していた熱雑音をなくすことができ、S/Nの良い信号出力を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる信号電荷検出器を示す概略構成図、

【図2】第1の実施例における電位関係を示す模式図、

【図3】本発明の第2の実施例に係わる信号電荷検出器を示す概略構成図、

【図4】本発明の第3の実施例に係わる信号電荷検出器を示す概略構成図、

【図5】第3の実施例における電位関係を示す模式図、

【図6】第3の実施例の平面パターン図を示す図、

【図7】第3の実施例の平面パターン図を示す図、

【図8】電荷検出の動作原理を説明するための模式図、

【図9】従来の信号電荷検出器を示す概略構成図、

【図10】従来の信号電荷検出器における電位関係を示す模式図。

【符号の説明】

10…n型半導体基板、

11…p型ウェル、

12…n型埋込みチャネル、

13…第1導電型の浮遊拡散層（n型）、

19…第2導電型の浮遊拡散層（p型）、

14…ドレイン、

15…ゲート絶縁膜、

16, 17…ゲート電極、

18…熱雑音電圧、

20…信号線、

21, 23…ドライブトランジスタ、

22, 24…ロードトランジスタ、

25…信号電位設定用トランジスタ、

26, 36…信号電圧（ドレイン電圧）、

27, 37…パルス発生回路、

35…リセットトランジスタ、

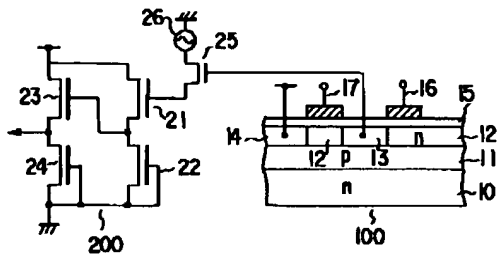
50…n型ウェル、

100, 102…フローティング・ディフュージョン型検出部、

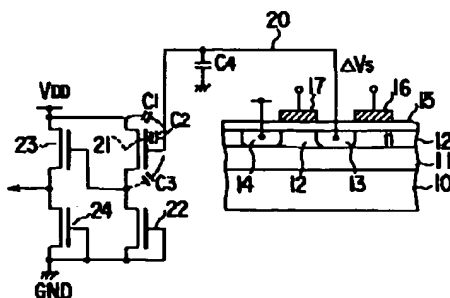
101…フローティング・ゲート型検出部、

200…ソースホロワ型電子回路。

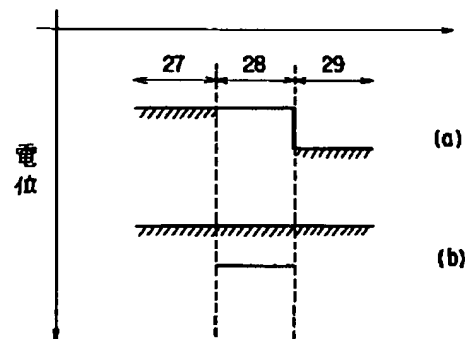
【図1】



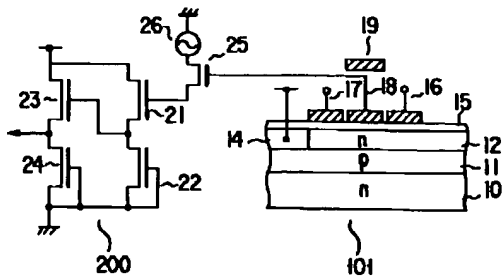
【図9】



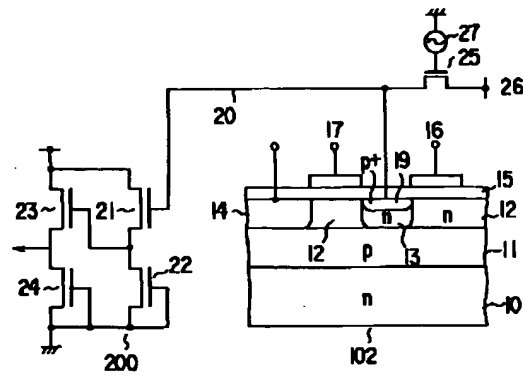
【図2】



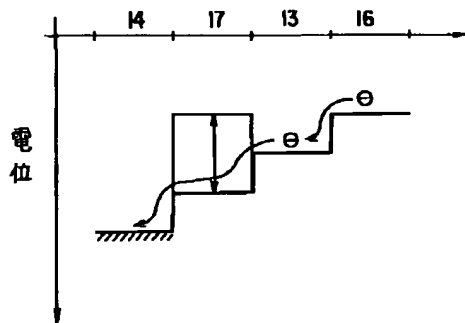
【図3】



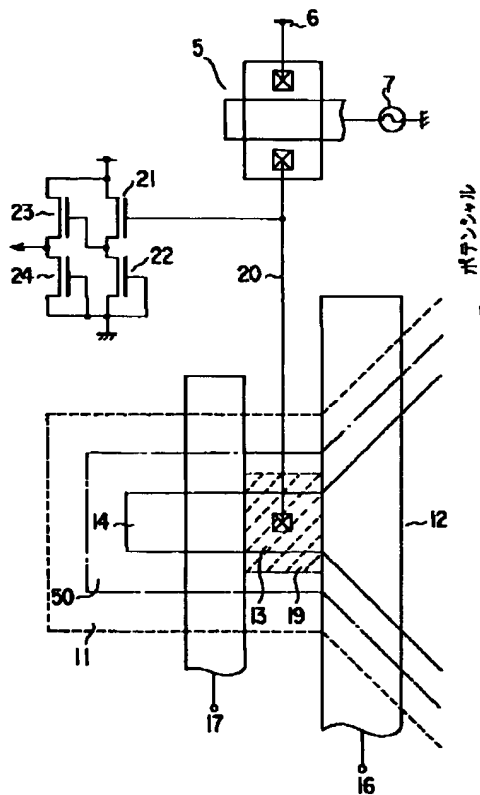
【図4】



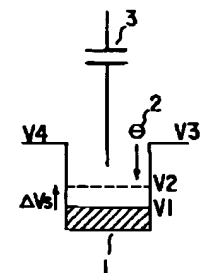
【図5】



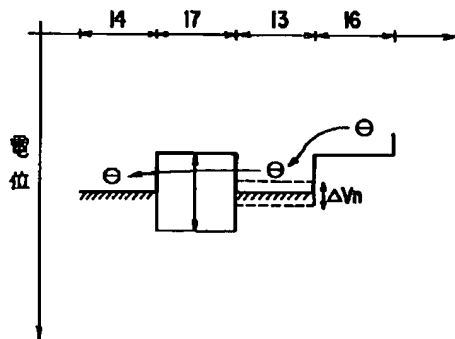
【図6】



【図8】



【図10】



(7)

特開平5-136396

【図7】

